

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-142636

(43) 公開日 平成10年(1998)5月29日

(51) Int.Cl.⁶
G 0 2 F 1/136
G 0 9 F 9/35
H 0 1 L 29/786
21/336

識別記号
5 0 0

F I
G 0 2 F 1/136 5 0 0
G 0 9 F 9/35
H 0 1 L 29/78 6 1 2 Z

審査請求 未請求 請求項の数 7 FD (全 7 頁)

(21) 出願番号 特願平8-310033

(22) 出願日 平成8年(1996)11月6日

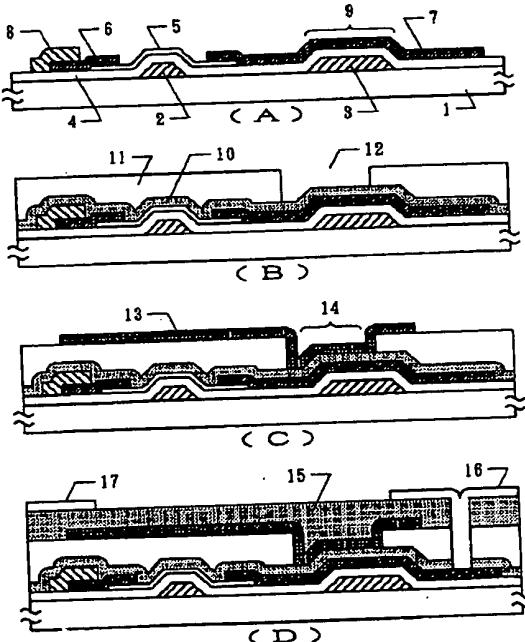
(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス型表示回路

(57) 【要約】

【課題】 薄膜トランジスタを用いたアクティブマトリクス型表示回路において、補助容量を得るための構造を提供する。

【解決手段】 ポトムゲイト型薄膜トランジスタを用いたアクティブマトリクス型表示回路において、ブラックマトリクスとして機能する導電性被膜とデータ配線の間の層間絶縁物を薄い窒化珪素膜とポリイミド膜の多層構造とし、補助容量を形成せんとする部分のポリイミドをエッチングし、該導電性被膜と半導体層（もしくはデータ配線と同じ金属層）との間に窒化珪素膜を誘電体とする容量を形成する。



【特許請求の範囲】

【請求項1】 ボトムゲイト型の薄膜トランジスタと、ゲイト配線およびデータ配線と、N型もしくはP型の半導体層、もしくは該半導体層に接続し、前記データ配線と同じ層の金属配線と、ブラックマトリクスとして機能し、一定の電位に保持された導電性被膜と、前記導電性被膜と前記データ配線の間にあり、塗化珪素層と樹脂層を有する層間絶縁物と、を有するアクティブマトリクス型表示回路において、前記層間絶縁物において、塗化珪素層は、樹脂層の下にあり、前記層間絶縁物の樹脂層がエッチングされた部分に、前記半導体層と前記導電性被膜、あるいは前記金属配線と前記導電性被膜を両電極とし、少なくとも前記層間絶縁物の塗化珪素層を誘電体とする補助容量が形成されているアクティブマトリクス型表示回路。

【請求項2】 ボトムゲイト型の薄膜トランジスタと、ゲイト配線およびデータ配線と、N型もしくはP型の半導体層、もしくは該半導体層に接続し、前記データ配線と同じ層の金属配線と、ブラックマトリクスとして機能し、一定の電位に保持された導電性被膜と、前記導電性被膜と前記データ配線の間にあり、塗化珪素層と樹脂層を有する層間絶縁物と、を有するアクティブマトリクス型表示回路において、前記層間絶縁物において、塗化珪素層は、樹脂層の下にあり、前記導電性被膜は、前記半導体層もしくは前記金属配線と重なる部分において、前記層間絶縁物の塗化珪素層と接する部分を有することを特徴とするアクティブマトリクス型表示回路。

【請求項3】 請求項1もしくは請求項2において、前記半導体層は、前記薄膜トランジスタのソースもしくはドレインと連続していることを特徴とするアクティブマトリクス型表示回路。

【請求項4】 請求項1において、前記補助容量は、誘電体として、前記層間絶縁物の塗化珪素層のみからなることを特徴とするアクティブマトリクス型表示回路。

【請求項5】 請求項1もしくは請求項2において、前記塗化珪素層の厚さは1000Å以下であることを特徴とするアクティブマトリクス型表示回路。

【請求項6】 請求項1において、層間絶縁物の樹脂層がエッチングされた部分は、ゲイト配線と同じ層の配線と重なることを特徴とするアクティブマトリクス型表示回路。

【請求項7】 請求項1において、導電性被膜が層間絶縁物の塗化珪素層と接する部分は、ゲイト配線と同じ層の配線と重なることを特徴とするアクティブマトリクス型表示回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、ボトムゲイト型の薄膜トランジスタを用いたアクティブマトリクス型の表示装置の画素領域の回路構成に関する。特に、補助容量の構成に関する。

【0002】

【従来の技術】最近、安価なガラス基板上に薄膜トランジスタ(TFT)を作製する技術が急速に発達している。その理由は、アクティブマトリクス型液晶表示装置の需要が高まったことにある。アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの各画素のそれぞれに薄膜トランジスタを配置し、各画素電極に入りする電荷を薄膜トランジスタのスイッチング機能により制御するものである。

【0003】各画素電極と対向電極との間には液晶が挟み込まれ、一種のコンデンサを形成している。従って、薄膜トランジスタによりこのコンデンサへの電荷の出入りを制御することで液晶の電気光学特性を変化させ、液晶パネルを透過する光を制御して画像表示を行うことが出来る。また、このような構成でなるコンデンサは電流のリークにより次第にその保持電圧が減少するため、液晶の電気光学特性が変化して画像表示のコントラストが悪化するという問題を持つ。

【0004】そこで、液晶で構成されるコンデンサと直列に補助容量と呼ばれる別のコンデンサを設置し、リーク等で損失した電荷を液晶で構成されるコンデンサに供給する構成が一般的となっている。従来のアクティブマトリクス型液晶表示装置の回路図を図3に示す。アクティブマトリクス型表示回路は、大きく3つの部分に分けられる。すなわち、ゲイト配線(スキャン配線、走査配線)44を駆動するためのゲイドライバ回路42、データ配線(ソース配線、信号配線)45を駆動するためのデータドライバ回路41、画素の設けられたアクティブマトリクス回路43である。このうち、データドライバ回路41とゲイドライバ回路42は周辺回路と総称される。

【0005】アクティブマトリクス回路43は、多数のゲイト配線44とデータ配線45が互いに交差するように設けられ、各々の交点には画素電極47が設けられる。そして、画素電極に入りする電荷を制御するためのスイッチング素子(薄膜トランジスタ)46が設けられる。また、上述のようにリーク電流により画素の電圧の変動を抑制する目的で、補助容量48が画素のコンデンサーと並列に設けられる。(図3)

【0006】補助容量の形成方法には様々なものが提案されているが、もっとも代表的な構成は薄膜トランジスタの半導体層(活性層)とゲイト配線(もしくはゲイト配線と同じ層の配線)の重なりを用いた構造のものである。図6には、その断面の様子を作製工程を説明するこ

とによって示す。基板71上にはゲート配線72と容量配線73を形成する。容量配線73はゲート配線を兼ねてもよく、その場合には、わざわざ容量配線を設ける場合に比較して、開口領域が大きくなる。

【0007】容量配線73をゲート配線とする場合は、ゲート配線72とは互いに異なる行の配線を用いる。もし、ゲート配線72と配線73と同じ行の配線とすると、薄膜トランジスタのドレインとゲート電極との間の寄生容量が著しく大きくなり、スイッチングに支障をきたすからである。なお、容量配線73がゲート配線を兼ねている場合には、該配線の寄生容量が多大となり、動作速度、信号形状を鈍化させるという欠点もある。

【0008】次に、これら配線を覆ってゲート絶縁膜74、さらに真性の半導体層75を形成する。さらに、半導体層75に接続するN型もしくはP型の不純物がドーピングされた導電性領域（ソース、ドレイン）76、77を形成する。さらに、データ配線78を形成する。（図6（A））

かくして、容量配線73と導電性領域77との間に、ゲート絶縁膜74を誘電体とする補助容量79が得られる。その後、パッシベーション膜として塗化珪素層80とポリイミド等の平坦化に適した樹脂材料の層81となる第1の層間絶縁物を形成する。（図6（B））

【0009】さて、薄膜トランジスタは光の照射により導電性が変動するので、それを防止するために遮光性を有する被膜（ブラックマトリクス）82を薄膜トランジスタに重ねる。さらに、画素間の色、明るさが混合することや、画素の境界部分での電界の乱れによる表示不良を防止するために、画素間にも上記の遮光性の被膜を形成する。このため、この遮光性被膜はマトリクス状の形状を呈し、ブラックマトリクス（BM）と呼ばれる。BMは、アクティブマトリクス回路の設けられた基板に設けると、画素の集積化の上で効果がある。その場合には、通常、第1の層間絶縁物のポリイミド層81上に形成される。（図6（C））

【0010】その後、第2の層間絶縁物83を形成し、これと第1の層間絶縁物をエッティングして、導電性領域77に達するコンタクトホールを形成し、さらに透明導電性被膜によって画素電極84、85（別の画素の画素電極）を形成する。一般には、BMと画素電極は、互いに重ならない部分ができないように形成される。BMが絶縁性の材料で形成されていれば第2の層間絶縁物83は不要である。（図6（D））

【0011】

【発明が解決しようとする課題】上記の構造のアクティブマトリクス回路では、補助容量をより大きくするためには、容量配線73の占める面積をより大きなものとしなければならない。すなわち、従来の方法では、補助容量は2次元的な広がりを主とした構造であった。容量配

線も設けられた部分は光を透過しないので、開口率を低下させる。本発明は、この問題を解決し、補助容量を立体的に構成することにより、開口率を低下させることなく、補助容量を増加させることを目的とする。

【0012】

【課題を解決するための手段】本明細書で開示する発明は、補助容量として、ブラックマトリクスとN型もしくはP型の導電性領域（半導体層）あるいは、その領域と接続する金属配線との間で容量を形成し、その誘電体として、第1の層間絶縁物のパッシベーション膜として使用される塗化珪素層（図6の塗化珪素層80に相当）を用いることを特徴とする。

【0013】本発明のアクティブマトリクス型表示回路は、

- ①ボトムゲート型の薄膜トランジスタ、
- ②ゲート配線およびデータ配線、
- ③ブラックマトリクスとして機能し、一定の電位に保持された導電性被膜、
- ④N型もしくはP型の半導体層（もしくは、それと接続し、データ配線と同じ層の金属配線）
- ⑤導電性被膜とデータ配線の間にあり、塗化珪素層とポリイミド層を有する層間絶縁物（塗化珪素層はポリイミド層の下にある）、とを有する。

【0014】本発明の第1は、上記の構造において、層間絶縁物のポリイミド層がエッティングされた部分に、半導体層（もしくは金属配線）と導電性被膜を両電極とし、少なくとも層間絶縁物の塗化珪素層を誘電体とする補助容量が形成されていることを特徴とする。本発明の第2は、上記の構造において、前記層間絶縁物において、導電性被膜は、半導体層（もしくは金属配線）と重なる部分において、層間絶縁物の塗化珪素層と接する部分を有することを特徴とする。

【0015】上記本発明の第1もしくは第2において、補助容量の電極として機能する半導体層が、薄膜トランジスタのソースもしくはドレインと連続している構造とすれば、回路構造が簡単で、専有面積も減らすことができる。また、補助容量の誘電体としては、塗化珪素層のみとすることも、他の被膜（例えば、酸化珪素）との多層構造とすることも可能である。前者の場合には、誘電体が薄くなり、かつ、誘電率の大きい塗化珪素を用いることにより、より大きな容量が得られる。本発明の第1もしくは第2においては、塗化珪素層の厚さは1000Å以下、好ましくは500Å以下とするよ。

【0016】本発明においては、上記の構成で補助容量の形成される部分を、図6に示された方法で補助容量の形成される部分と重ねることができる。その場合には、本発明の補助容量は容量配線と重なる。かくすると、補助容量は多層に形成されるので、開口率を低下せずに容量を増大させることができる。また、本発明を実施する際としては、必要な工程はポリイミド層のエッティング

工程のみであり、その他の成膜、エッチング等は不要であり、本発明を実施することによる作製上の困難は皆無である。

【0017】

【実施例】

【実施例1】本実施例の作製工程を図1に示す。まず、下地膜として酸化珪素膜を3000Åの厚さにスパッタ法またはプラズマCVD法で成膜されたガラス基板1上に、ゲイト配線2と容量配線3を厚さ4000Åのタンタル膜により形成する。これらの配線の表面には陽極酸化によって酸化物被膜を形成してもよい。かくすると、絶縁性を高められる。次にゲート絶縁膜として酸化珪素膜4をプラズマCVD法または減圧熱CVD法またはスパッタ法により、1000Åの厚さに成膜する。これは塗化珪素膜と酸化珪素膜の多層膜であってもよい。

【0018】さらに非晶質珪素膜を500Åの厚さにプラズマCVD法または減圧熱CVD法で成膜する。これは、さらに加熱またはレーザー光の照射によって、結晶性珪素膜としてもよい。このようにして得られた非晶質珪素膜（もしくは結晶性珪素膜）をエッチングすることにより、薄膜トランジスタの半導体層（活性層）5を得る。次に、燐を有する多結晶珪素膜を減圧CVD法で5000Åの厚さに成膜し、これをエッチングすることにより、ソース6、ドレイン7を得る。さらに、厚さ600Åのアルミニウム膜を用いてデータ配線8を得る。以上において、容量配線3とドレイン7の間には、ゲート絶縁膜4を誘電体とする第1の補助容量9が形成される。（図1（A））

【0019】ここまで得られた回路を上から見た様子を図4（A）に示す。番号は図1のものに対応する。（図4（A））

次に塗化珪素膜10をシランとアンモニア、またはシランとN₂O、またはシランとアンモニアとN₂Oを用いたプラズマCVD法により形成する。この塗化珪素膜10は250～1000Å、ここでは500Åの厚さに成膜する。この塗化珪素膜の成膜方法は、ジクロールシランとアンモニアを用いる方法でもよい。また減圧熱CVD法や光CVD法を用いるのでもよい。

【0020】続いて、スピニングコーティング法によって、ポリイミド層11を少なくとも8000Å以上、好ましくは1.5μmの厚さに成膜する。ポリイミド層の表面は平坦に形成される。かくして、塗化珪素層10とポリイミド層11よりなる第1の層間絶縁物を形成する。そして、ポリイミド層11をエッチングして、補助容量用の孔12を形成する。（図1（B））

さらに、厚さ1000Åのチタン膜をスパッタリング法で成膜する。勿論、クロム膜やアルミニウム膜等の金属膜を用いてもよい。

【0021】そして、チタン膜をエッチングし、ブラックマトリクス13を形成する。ブラックマトリクス13

は先に形成した補助容量用の孔12を覆うように形成する。かくして、補助容量用の孔12において、ブラックマトリクス13とドレイン7との間に、塗化珪素層10を誘電体とする第2の補助容量14が形成される。（図1（C））

ここまで得られた補助容量用の孔12とブラックマトリクス13を上から見た様子を図4（B）に示す。番号は図1のものに対応する。補助容量用の孔12とブラックマトリクス13の重なった部分に第2の補助容量が形成される。（図4（B））

【0022】さらに、第2の層間絶縁物として、厚さ5000のポリイミド膜15を成膜し、ポリイミド膜11および15と塗化珪素層10をエッチングして、ドレイン7に達するコンタクトホールを形成する。さらに、スパッタリング法により厚さ1000ÅのITO（インディウム錫酸化物）膜を形成し、これをエッチングして、画素電極16、17を形成する。（図1（D））

かくして、アクティブマトリクス回路が完成する。本実施例のように、ポリイミド膜により絶縁層を形成すると平坦化が容易であり、効果が大きい。

【0023】【実施例2】本実施例の作製工程を図2に示す。まず、下地膜のコーティングされたガラス基板21上に、ゲート配線22と容量配線23を厚さ3000Åのアルミニウム膜により形成する。これらの配線の表面には陽極酸化によって酸化物被膜を形成してもよい。かくすると、絶縁性を高められる。次にゲート絶縁膜として酸化珪素膜24をプラズマCVD法により、1000Åの厚さに成膜する。これは塗化珪素膜と酸化珪素膜の多層膜であってもよい。

【0024】さらに非晶質珪素膜を500Åの厚さにプラズマCVD法または減圧熱CVD法で成膜する。これは、さらに加熱またはレーザー光の照射によって、結晶性珪素膜としてもよい。このようにして得られた非晶質珪素膜（もしくは結晶性珪素膜）をエッチングすることにより、薄膜トランジスタの半導体層（活性層）25を得る。次に、N型を付与する不純物であるリンのイオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm³のドーズ量で選択的に半導体層25に注入することにより、ソース26、ドレイン27を得る。不純物イオンの注入後、加熱処理もしくはレーザー照射等を行うことにより、不純物イオンの注入が行われた領域の活性化をおこなってもよい。（図2（A））

【0025】次に、厚さ6000Åのアルミニウム膜を用いてデータ配線28、および、ドレインに接続する配線（ドレイン配線）29を得る。以上において、容量配線23とドレイン配線29の間には、ゲート絶縁膜24を誘電体とする第1の補助容量30が形成される。（図2（B））

次に塗化珪素層31およびポリイミド層32を実施例1と同じ条件で形成する。次に、ポリイミド層32をエッ

チングして、補助容量用の孔33を形成する。(図2(C))

【0026】さらに、厚さ1000Åのチタン膜をスパッタリング法で成膜する。勿論、クロム膜やアルミニウム膜等の金属膜を用いてもよい。そして、チタン膜をエッチングし、ブラックマトリクス34を形成する。かくして、補助容量用の孔33において、ブラックマトリクス34とドレイン配線29との間に、窒化珪素層31を誘電体とする第2の補助容量35が形成される。(図2(D))

【0027】さらに、第2の層間絶縁物として、厚さ5000のポリイミド膜36を成膜し、ポリイミド膜32および36と窒化珪素層31をエッチングして、ドレイン配線29に達するコンタクトホールを形成する。さらに、スパッタリング法により厚さ1000ÅのITO(インディウム錫酸化物)膜を形成し、これをエッチングして、画素電極36、37を形成する。(図2(E))

【0028】〔実施例3〕本実施例の作製工程を図5に示す。まず、下地膜のコーティングされたガラス基板51上に、ゲイト配線52と容量配線53を厚さ4000Åのタンタル膜により形成する。これらの配線の表面には陽極酸化によって酸化物被膜を形成してもよい。かくすると、絶縁性を高められる。次にゲイト絶縁膜として酸化珪素膜54をプラズマCVD法により、1000Åの厚さに成膜する。これは窒化珪素膜と酸化珪素膜の多層膜であってもよい。

【0029】さらに非晶質珪素膜を500Åの厚さにプラズマCVD法で成膜する。このようにして得られた非晶質珪素膜をエッチングすることにより、薄膜トランジスタの半導体層(活性層)55を得る。次に、N型を付与する不純物であるリンのイオンを $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ cm^3 のドーズ量で選択的に半導体層55に注入することにより、ソース56、ドレイン57を得る。不純物イオンの注入後、加熱処理もしくはレーザー照射等を行うことにより、不純物イオンの注入が行われた領域の活性化をおこなってもよい。(図5(A))

【0030】次に、厚さ6000Åのアルミニウム膜を用いてデータ配線58を得る。以上において、半導体層55は容量配線53と重なるように形成される。したがって、容量配線53とドレイン57の間には、ゲイト絶縁膜54を誘電体とする第1の補助容量59が形成される。(図5(B))

次に窒化珪素層60およびポリイミド層61を実施例1と同じ条件で形成する。次に、ポリイミド層61をエッチングして、補助容量用の孔62を形成する。(図5(C))

【0031】さらに、厚さ1000Åのチタン膜をスパ

ッタリング法で成膜し、チタン膜をエッチングして、ブラックマトリクス63を形成する。かくして、補助容量用の孔62において、ブラックマトリクス63とドレイン57との間に、窒化珪素層60を誘電体とする第2の補助容量64が形成される。(図5(D))

【0032】さらに、第2の層間絶縁物として、厚さ5000のポリイミド膜65を成膜し、ポリイミド膜61および65と窒化珪素層60をエッチングして、ドレイン57に達するコンタクトホールを形成する。さらに、スパッタリング法により厚さ1000ÅのITO(インディウム錫酸化物)膜を形成し、これをエッチングして、画素電極66、67を形成する。(図5(E))

【0033】

【発明の効果】N型またはP型の半導体層もしくはそれに接続する配線とブラックマトリクスとして用いられる導電性被膜とを電極とし、パッシベーション膜として形成される窒化珪素層を誘電体として補助容量を形成することにより、従来の問題点が解決されることが明らかになった。このように本発明は産業上、有益である。

【図面の簡単な説明】

【図1】実施例1のアクティブマトリクス回路の作製工程断面図を示す。

【図2】実施例2のアクティブマトリクス回路の作製工程断面図を示す。

【図3】一般的なアクティブマトリクス回路の回路図を示す。

【図4】実施例1のアクティブマトリクス回路の作製工程上面図を示す。

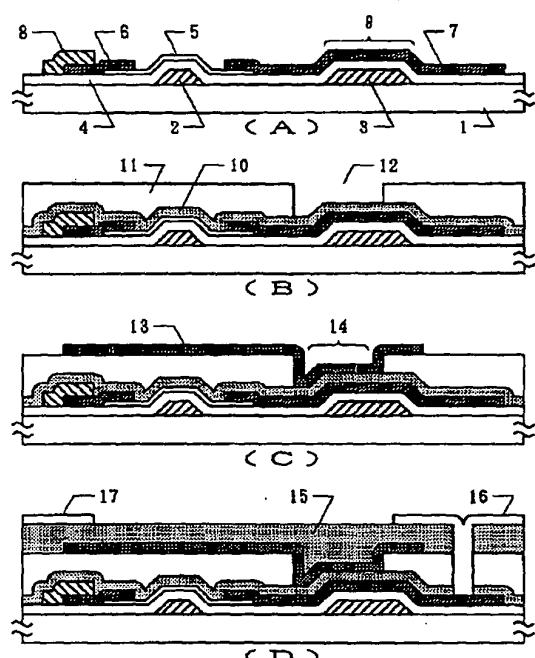
【図5】実施例3のアクティブマトリクス回路の作製工程断面図を示す。

【図6】従来のアクティブマトリクス回路の作製工程断面図を示す。

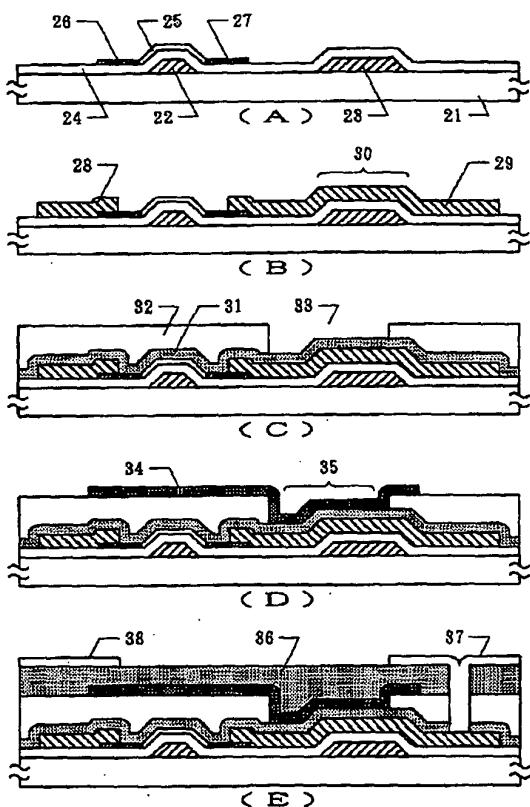
【符号の説明】

1	ガラス基板
2	ゲイト配線
3	容量配線
4	ゲイト絶縁膜
5	半導体層(活性層)
6	ソース
7	ドレイン
8	データ配線
9	第1の補助容量
10	窒化珪素層
11、15	ポリイミド層
12	補助容量用の孔
13	ブラックマトリクス
14	第2の補助容量
16、17	画素電極

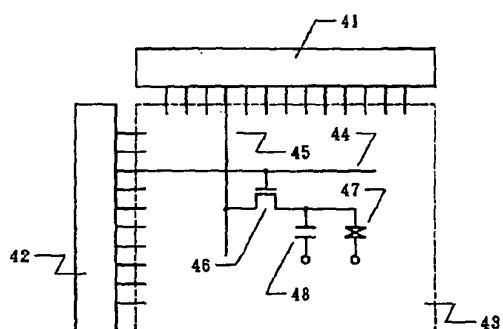
【図1】



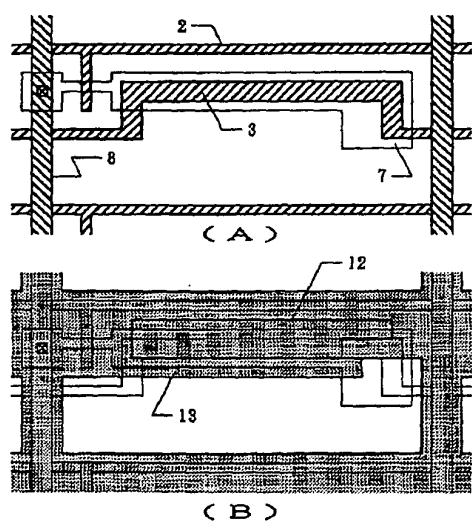
【図2】



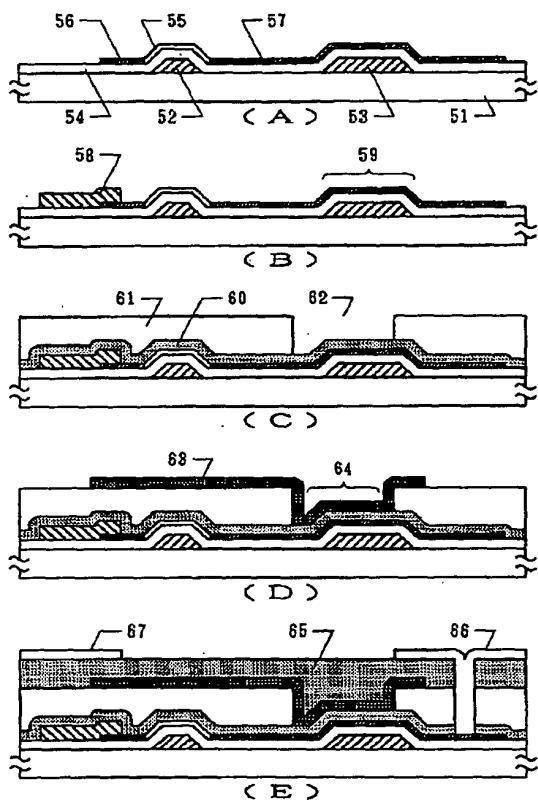
【図3】



【図4】



【図5】



【図6】

